

Damascene process capable of preventing punch through of etching stop layer

Patent number: TW577144
Publication date: 2004-02-21
Inventor: CHEN CHAO-CHENG (TW); LIN KANG-CHENG (TW)
Applicant: TAIWAN SEMICONDUCTOR MFG (TW)
Classification:
- **International:** H01L21/768
- **European:**
Application number: TW20030100128 20030103
Priority number(s): TW20030100128 20030103

[Report a data error here](#)

Abstract of TW577144

A damascene process capable of preventing punch through of etching stop layer comprises: sequentially forming an etching stop layer and a dielectric layer on a substrate, and covering the metal layer in the substrate; performing a first patterning process to form a via going through the dielectric layer on the active region; forming a first photoresist layer on the dielectric layer in the active region and filling up the via layer; performing a second patterning process to form a first trench going through the dielectric layer in the seal ring region; removing a portion of the first photoresist layer allowing the dielectric layer to be left with the first photoresist layer; forming a second photoresist layer on the dielectric layer and filling up the trench; and partially etching back the second photoresist layer allowing the trench to be left with the second photoresist layer. According to the present invention, there is no need in considering the difference in etching rate between the via layer and the first trench, thereby avoiding the etching stop layer from being punched through.

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

第 93128579 號

初審引証附件

申請日期

92

IPC分類

申請案號

92100128

H01L 24/168

(以上各欄由本局填註)

發明專利說明書

577144

一 發明名稱	中文	避免蝕刻停止層被蝕穿的鑲嵌製程
	英文	
二 發明人 (共2人)	姓名 (中文)	1. 陳昭成 2. 林綱正
	姓名 (英文)	1. Chao-Cheng Chen 2. Kang-Cheng Lin
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台南縣麻豆鎮民族路14之6號 2. 台北縣永和市中和路421巷5弄5號4樓
	住居所 (英文)	1. 2.
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 新竹科學工業園區園區三路121號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1.



0503-8879TWE(N1) : TSMC2002-0557 : Jacky pid

四、中文發明摘要 (發明名稱：避免蝕刻停止層被蝕穿的鑲嵌製程)

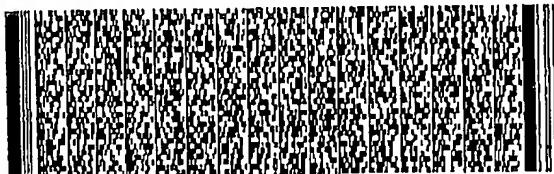
一種避免蝕刻停止層被蝕穿的鑲嵌製程。依序形成一蝕刻停止層與一介電層於基底上，並覆蓋基底中的金屬層。進行第一圖案化製程，形成介層窗(via)穿越位在主動區的介電層。形成一第一光阻層於主動區中的介電層上，並填滿介層窗。進行第二圖案化製程，形成第一溝槽(trench)穿越位在密封環(seal ring)區的介電層。去除部分第一光阻層使介層窗殘留有第一光阻層。形成一第二光阻層於介電層上，並填滿溝槽。部分回蝕第二光阻層而使溝槽中殘留有第二光阻層。根據本發明，由於不用考慮介層窗與第一溝槽之間的蝕刻速率差別，而避免蝕刻停止層被蝕穿。

伍、(一)、本案代表圖為：第6圖

(二)、本案代表圖之元件代表符號簡單說明：

200~基底；

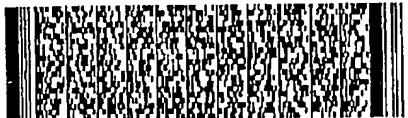
陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：避免蝕刻停止層被蝕穿的鑲嵌製程)

210~金屬層；
230~蝕刻停止層；
240~金屬間介電層；
250~介層窗(via)；
310'~剩餘之第一能量感應層；
320~溝槽(trench)；
510'~剩餘之第二能量感應層。

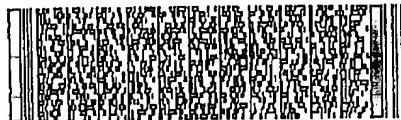
陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：避免蝕刻停止層被蝕穿的鑲嵌製程)

210~金屬層；
230~蝕刻停止層；
240~金屬間介電層；
250~介層窗(via)；
310'~剩餘之第一能量感應層；
320~溝槽(trench)；
510'~剩餘之第二能量感應層。

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

[發明所屬之技術領域]

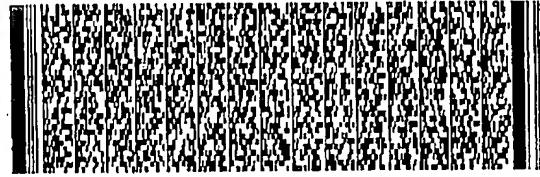
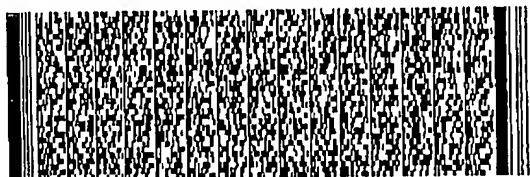
本發明是有關於半導體積體電路(semiconductor ICs)之製程技術，特別是有關於避免蝕刻停止層(etching stop layer)被蝕穿(punch through)的鑲嵌製程(damascene process)。

[先前技術]

近年來，為了配合積體電路元件尺寸縮小化的發展以及提高元件操作速度的需求，具有低電阻常數和高電子遷移阻抗的銅金屬，已逐漸被應用來作為金屬內連線的材質，取代以往的鋁金屬製程技術。銅金屬的鑲嵌式(damascene)內連線技術，不僅可達到內連線的縮小化並且可減少RC時間延遲，同時也解決了金屬銅蝕刻不易的問題，因此已成為現今多重內連線主要的發展趨勢。

在習知的銅內連線之鑲嵌製程中，由於介層窗(或稱接觸孔，via)與密封環(seal ring)或墊(pad)的溝槽係在同一蝕刻製程中形成，然而習知製程會有許多缺點，以下利用第1A~第1D圖所示的銅鑲嵌製程示意圖，來說明習知技術之缺點。

首先，請參照第1A圖，第1A圖係剖面示意圖，提供具有一銅金屬層110(例如第一層金屬層)的一基底100，該基底100具有既定之一主動區(active area)120與一密封環(seal ring)區125。然後，形成一蝕刻停止層130於該基底100上，並覆蓋該銅金屬層110。然後，形成一金屬間介

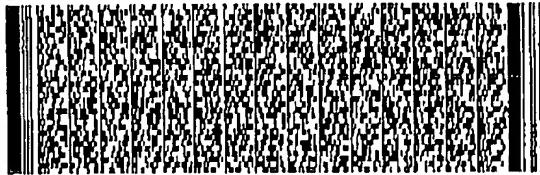
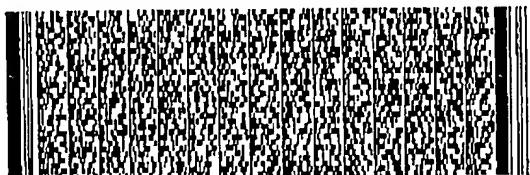


五、發明說明 (2)

電層(intermetal layer, IMD)140 於該蝕刻停止層130上。

接著，請參照第1B圖，第1B圖係一立體示意圖，進行一圖案化製程，利用電漿蝕刻(plasma etching)去除部分該金屬間介電層140而形成介層窗(via)22以及溝槽(trench)33。由於介層窗22的開孔尺寸遠小於溝槽33的開口尺寸，所以溝槽33的蝕刻速率(etching rate)遠大於介層窗22的蝕刻速率，因此常常造成有蝕刻停止層130被蝕穿(punch through)的問題，蝕穿之處44會露出銅金屬層110。此時會使得銅金屬層110容易產生缺陷(defect)及造成銅污染，影響產品良率；更者，電漿蝕刻的電子可能會集中至蝕穿之處44，而造成晶圓尖端放電(wafer arcing)而損害元件。

接著，請參照第1C圖，第1C圖係剖面示意圖，為了要得到較為平坦之一表面，以利後續製程之進行，則必須要將第一能量感應層150(例如光阻層)塗佈於該金屬間介電層140上並填滿介層窗22與溝槽33。然後，再經部分回蝕(etching back)而露出金屬間介電層140表面。然而，由於介層窗22的開孔尺寸遠小於溝槽33的開口尺寸，所以溝槽33的蝕刻速率(etching rate)遠大於介層窗22的蝕刻速率，因此使得殘留在介層窗22與溝槽33的剩餘第一能量感應層150'高度差別仍大，如第1D圖所示。所以必須進行第二回光阻沉積/回蝕之製程，甚至第三回，因而增加製造成本。



五、發明說明 (3)

例如，請參照第1D圖，第1D圖係剖面示意圖，塗佈第二能量感應層(例如是光阻層，未圖示)於該金屬間介電層140上並填滿介層窗22與溝槽33。然後，再經部分回蝕第二能量感應層而露出金屬間介電層140表面。如此使得殘留在介層窗22與溝槽33的剩餘能量感應層高度差別減小。符號160係剩餘第二能量感應層。

目前有許多專利係揭示關於密封環(seal ring)的結構設計，例如美國專利第5723385號、第5929509號與第6362524號。然而該等資料皆沒有揭示或教導在進行鑲嵌與密封環溝槽的蝕刻製程時，如何解決蝕刻停止層被蝕穿(punch through)的方法。

[發明內容]

有鑑於上述習知技術的問題，本發明的目的在於提供一種鑲嵌製程，以確實防止蝕刻停止層被蝕穿，進而提高產品良率。

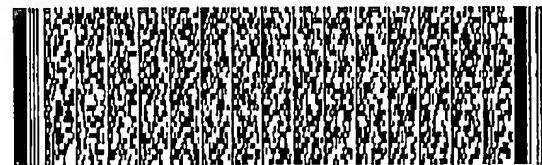
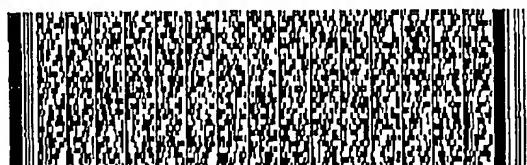
根據上述目的，本發明提供一種避免蝕刻停止層被蝕穿的鑲嵌製程，包括下列步驟：

提供具有一金屬層的一基底，該基底具有既定之一主動區與一密封環(seal ring)區；

形成一蝕刻停止層於該基底上，並覆蓋該金屬層；

形成一金屬間介電層於該蝕刻停止層上；

進行一第一圖案化製程，去除部分該金屬間介電層而形成至少一介層窗(via)穿越位在該主動區的該金屬間介



五、發明說明 (4)

電層；

形成一第一能量感應層於位在該主動區的該金屬間介電層上，並填滿該介層窗；

以該第一能量感應層為罩幕，進行一第二圖案化製程，去除部分該金屬間介電層而形成至少一第一溝槽(trench)穿越位在該密封環區的該金屬間介電層；

去除部分該第一能量感應層而露出該金屬間介電層表面，並使該介層窗中有殘留的該第一能量感應層；

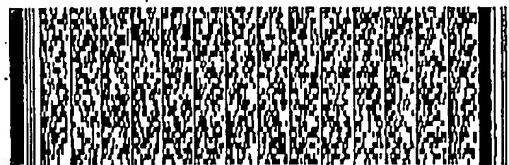
形成一第二能量感應層於該金屬間介電層上，並填滿該溝槽；以及

部分回蝕該第二能量感應層而露出該金屬間介電層表面，其中該第一溝槽中有殘留的該第二能量感應層，該介層窗中有殘留的該第一能量感應層，如此即得到較為平坦之一表面，以利後續製程之進行。

如此，由於介層窗(via)與溝槽(trench)係由不同之圖案化製程所形成，所以可以使蝕刻製程條件單純化，並且不用考慮介層窗與第一溝槽的蝕刻速率之差別，而避免蝕刻停止層被蝕穿，進而提高產品良率。

此外，本發明僅需一回的光阻沉積/回蝕製程，就能填滿第一溝槽，而不必像習知般地要進行兩回以上的光阻沉積/回蝕製程，故能減少整體製造成本。

為了讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：



五、發明說明 (4)

電層；

形成一第一能量感應層於位在該主動區的該金屬間介電層上，並填滿該介層窗；

以該第一能量感應層為罩幕，進行一第二圖案化製程，去除部分該金屬間介電層而形成至少一第一溝槽(trench)穿越位在該密封環區的該金屬間介電層；

去除部分該第一能量感應層而露出該金屬間介電層表面，並使該介層窗中有殘留的該第一能量感應層；

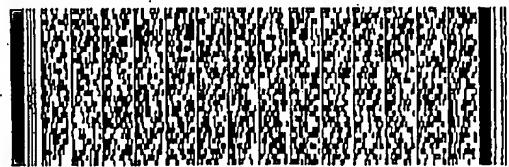
形成一第二能量感應層於該金屬間介電層上，並填滿該溝槽；以及

部分回蝕該第二能量感應層而露出該金屬間介電層表面，其中該第一溝槽中有殘留的該第二能量感應層，該介層窗中有殘留的該第一能量感應層，如此即得到較為平坦之一表面，以利後續製程之進行。

如此，由於介層窗(via)與溝槽(trench)係由不同之圖案化製程所形成，所以可以使蝕刻製程條件單純化，並且不用考慮介層窗與第一溝槽的蝕刻速率之差別，而避免蝕刻停止層被蝕穿，進而提高產品良率。

此外，本發明僅需一回的光阻沉積/回蝕製程，就能填滿第一溝槽，而不必像習知般地要進行兩回以上的光阻沉積/回蝕製程，故能減少整體製造成本。

為了讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：



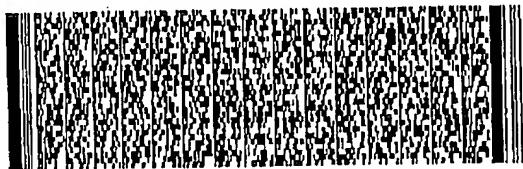
五、發明說明 (6)

幕，進行一第二圖案化製程，利用電漿蝕刻(plasma etching)去除部分該金屬間介電層240而形成至少一第一溝槽(trench)320穿越位在該密封環區225的該金屬間介電層240，這裡要特別說明的是，此步驟亦可同時定義晶圓上的其他溝槽(未圖示)。其中，該電漿蝕刻例如是採用 C_4F_8 、 CH_2F_2 或 C_5F_8 之蝕刻氣體，其製程條件例如是20m Torr、200~1200W。這裡要特別提醒的是，由於該介層窗250與該第一溝槽320係由不同之圖案化製程所形成，所以不用考慮該介層窗250的蝕刻速率與該第一溝槽320的蝕刻速率之差別，而避免該蝕刻停止層230被蝕穿(punch through)。

接著，請參照第4圖，第4圖係一立體示意圖，例如以氧電漿灰化(ashing)去除部分該第一能量感應層310而露出該金屬間介電層240表面，並使該介層窗250中有殘留的該第一能量感應層310'。

接著，請參照第5圖，塗佈一第二能量感應層510(例如是光阻層)於該金屬間介電層240上，並填滿該第一溝槽320。其中該第二能量感應層510當作是一犧牲材料。

接著，請參照第6圖，例如利用氧電漿灰化而部分回蝕該第二能量感應層510而露出該金屬間介電層240表面，其中該第一溝槽320中有殘留的該第二能量感應層510'，該介層窗250中有殘留的該第一能量感應層310'，如此即得到較為平坦之一表面，以利後續製程之進行。這裡要特別提醒的是，本步驟僅需一回的光阻沉積/回蝕製程，就



五、發明說明 (7)

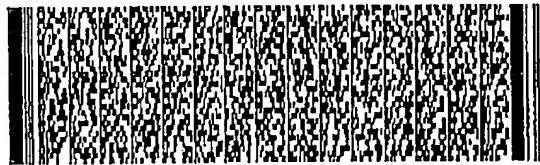
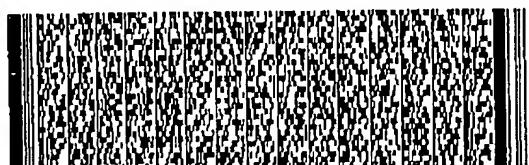
能填滿該第一溝槽320。

此外，這裡要特別說明的是，雖然上述實施例之步驟係先形成介層窗250，然後再形成第一溝槽320。然而事實上可以先形成第一溝槽320，然後再形成介層窗250，由於此製程與上述步驟類似，在此不再贅述。總之，本發明重點是介層窗250與第一溝槽320係由不同之圖案化製程所形成，所以不用考慮介層窗250的蝕刻速率與第一溝槽320的蝕刻速率之差別，而避免該蝕刻停止層230被蝕穿。

接著，說明後續鑲嵌製程，請參照第7~9圖。

請參照第7圖，先形成一第三能量感應層710(例如是光阻層)於部分該金屬間介電層240上。然後，以該第三能量感應層710為罩幕(mask)，進行一第三圖案化製程，電漿蝕刻去除部分該金屬間介電層240而形成一第二溝槽720與一第三溝槽730於該金屬間介電層240中，其中該第二溝槽720與該介層窗250有重疊，該第三溝槽730與該第一溝槽320有重疊。其中，該電漿蝕刻例如是採用 C_4F_8 、 CH_2F_2 或 C_5F_8 之蝕刻氣體，其製程條件例如是20m Torr、200~1200W。

接著，請參照第8圖，例如利用氧電漿灰化去除該第一能量感應層310'、該第二能量感應層510'與該第三能量感應層710。然後，以短時間(約30秒內)電漿蝕刻去除位在該介層窗250與該第一溝槽320底部之該蝕刻停止層230。其中，該電漿蝕刻例如是採用 CF_4 或 CHF_3 之蝕刻氣體並加入 N_2/O_2 ，其製程條件例如是50m Torr、500W。



五、發明說明 (8)

接著，請參照第9圖，填入金屬材料(例如是銅)於該介層窗250、該第二溝槽720、該第一溝槽320與該第三溝槽730，而形成一插塞(plug)910(例如是銅插塞)、一金屬連線920(例如是銅連線)與一密封環930(例如是銅密封環)。之後，再進行一平坦化製程去除多餘之金屬。

[發明特徵與效果]

根據本發明，由於介層窗(via)與溝槽(trench)係由不同之圖案化製程所形成，所以可以使蝕刻製程條件單純化，並且不用考慮該介層窗250的蝕刻速率與該第一溝槽320的蝕刻速率之差別，而避免該蝕刻停止層230被蝕穿，進而提高產品良率。

另外，本發明僅需一回的光阻沉積/回蝕製程，就能填滿該第一溝槽250，而不必像習知般地要進行兩回以上的光阻沉積/回蝕製程，故能減少整體製造成本。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1D圖為習知鑲嵌製程的示意圖。

第2~9圖為根據本發明實施例之鑲嵌製程的示意圖。

[符號說明]

習知部分(第1A~1D圖)

100~基底；	110~銅金屬層；
120~主動區；	125~密封環區；
130~蝕刻停止層；	140~金屬間介電層；
22~介層窗(via)；	33~溝槽(trench)；
44~蝕穿之處；	
150~第一能量感應層(例如是光阻層)；	
150'~剩餘之第一能量感應層；	
160~剩餘之第二能量感應層。	

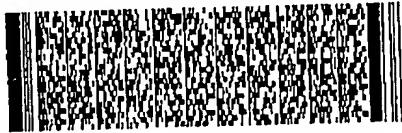
本案部分(第2~9圖)

200~基底；	210~金屬層；
220~主動區；	225~密封環區；
230~蝕刻停止層；	240~金屬間介電層；
250~介層窗(via)；	
310~第一能量感應層(例如是光阻層)；	
310'~剩餘之第一能量感應層；	
320~溝槽(trench)；	
510~第二能量感應層(例如是光阻層)；	
510'~剩餘之第二能量感應層；	



圖式簡單說明

710~第三能量感應層(例如是光阻層)；
720~第二溝槽； 730~第三溝槽；
910~插塞(plug)； 920~金屬連線；
930~密封環(seal ring)。



六、申請專利範圍

1. 一種避免蝕刻停止層被蝕穿的鑲嵌製程，包括下列步驟：

提供具有一金屬層的一基底，該基底具有既定之一主動區與一密封環(seal ring)區；

形成一蝕刻停止層於該基底上，並覆蓋該金屬層；

形成一金屬間介電層於該蝕刻停止層上；

去除部分該金屬間介電層而形成至少一介層窗(via)穿越位在該主動區的該金屬間介電層；

形成一圖案化罩幕層於位在該主動區的該金屬間介電層上，並填滿該介層窗；

去除部分該金屬間介電層而形成至少一第一溝槽(trench)穿越位在該密封環區的該金屬間介電層；

填入一犧牲材料於該溝槽中；以及

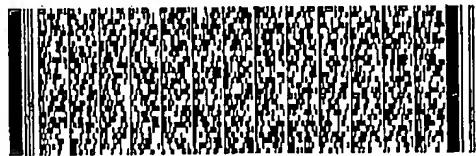
對該基底進行一平坦化程序而得到之一平坦表面，以利後續製程之進行。

2. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，在形成該圖案化罩幕層於位在該主動區的該金屬間介電層上並填滿該介層窗之後，更包括下列步驟：

去除部分該圖案化罩幕層而露出該金屬間介電層表面，並使該介層窗中有殘留的該圖案化罩幕層。

3. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，更包括下列步驟：

形成一能量感應層於部分該金屬間介電層上；



六、申請專利範圍

以該能量感應層為罩幕，定義一第二溝槽與一第三溝槽於該金屬間介電層中，其中該第二溝槽與該介層窗有重疊，該第三溝槽與該第一溝槽有重疊；

去除該圖案化罩幕層、該犧牲材料與該能量感應層；去除位在該介層窗與該第一溝槽底部之該蝕刻停止層；以及

填入金屬材料於該介層窗、該第二溝槽、該第一溝槽與該第三溝槽，而形成一插塞、一金屬連線與一密封環。

4. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中該金屬層係銅金屬層。

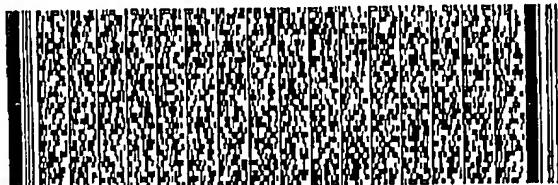
5. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中該蝕刻停止層係氮化矽層或氮氧化矽層。

6. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中該金屬間介電層係二氧化矽層或氟摻雜二氧化矽層(FSG)。

7. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除部分該金屬間介電層而形成該介層窗的方法係採用電漿蝕刻製程。

8. 如申請專利範圍第1項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除部分該金屬間介電層而形成該第一溝槽的方法係採用電漿蝕刻製程。

9. 如申請專利範圍第3項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中該圖案化罩幕層、該犧牲材料與該能



六、申請專利範圍

量感應層係由光阻所組成。

10. 如申請專利範圍第3項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除該圖案化罩幕層係採用氧電漿灰化製程。

11. 如申請專利範圍第3項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除該犧牲材料係採用氧電漿灰化製程。

12. 如申請專利範圍第3項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除該能量感應層係採用氧電漿灰化製程。

13. 如申請專利範圍第2項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除位在該介層窗與該第一溝槽底部之該蝕刻停止層係採用電漿蝕刻製程。

14. 一種避免蝕刻停止層被蝕穿的鑲嵌製程，包括下列步驟：

提供具有一銅金屬層的一基底，該基底具有既定之一主動區與一密封環(seal ring)區；

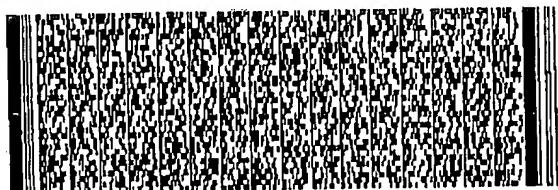
形成一蝕刻停止層於該基底上，並覆蓋該銅金屬層；

形成一金屬間介電層於該蝕刻停止層上；

電漿蝕刻去除部分該金屬間介電層而形成至少一介層窗(via)穿越位在該主動區的該金屬間介電層；

形成一圖案化罩幕層於位在該主動區的該金屬間介電層上，並填滿該介層窗；

電漿蝕刻去除部分該金屬間介電層而形成至少一第一



六、申請專利範圍

溝槽(trench)穿越位在該密封環區的該金屬間介電層；

填入一犧牲材料於該溝槽中；以及

對該基底進行一平坦化程序而得到之一平坦表面，以利後續製程之進行。

15. 如申請專利範圍第14項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，在形成該圖案化罩幕層於位在該主動區的該金屬間介電層上並填滿該介層窗之後，更包括下列步驟：

氧電漿灰化去除部分該圖案化罩幕層而露出該金屬間介電層表面，並使該介層窗中有殘留的該圖案化罩幕層。

16. 如申請專利範圍第14項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，更包括下列步驟：

形成一能量感應層於部分該金屬間介電層上；

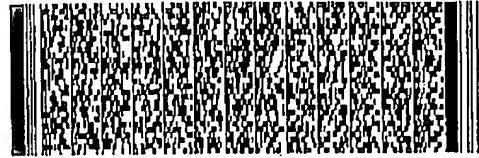
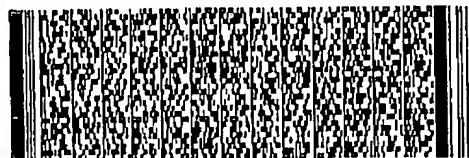
以該能量感應層為罩幕，電漿蝕刻去除部分該金屬間介電層而形成一第二溝槽與一第三溝槽於該金屬間介電層中，其中該第二溝槽與該介層窗有重疊，該第三溝槽與該第一溝槽有重疊；

氧電漿灰化去除該圖案化罩幕層、該犧牲材料與該能量感應層；

電漿蝕刻去除位在該介層窗與該第一溝槽底部之該蝕刻停止層；以及

填入銅金屬於該介層窗、該第二溝槽、該第一溝槽與該第三溝槽，而形成一銅插塞、一銅連線與一銅密封環。

17. 如申請專利範圍第14項所述之避免蝕刻停止層被



六、申請專利範圍

溝槽(trench)穿越位在該密封環區的該金屬間介電層；

填入一犧牲材料於該溝槽中；以及

對該基底進行一平坦化程序而得到之一平坦表面，以利後續製程之進行。

15. 如申請專利範圍第14項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，在形成該圖案化罩幕層於位在該主動區的該金屬間介電層上並填滿該介層窗之後，更包括下列步驟：

 氧電漿灰化去除部分該圖案化罩幕層而露出該金屬間介電層表面，並使該介層窗中有殘留的該圖案化罩幕層。

16. 如申請專利範圍第14項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，更包括下列步驟：

 形成一能量感應層於部分該金屬間介電層上；

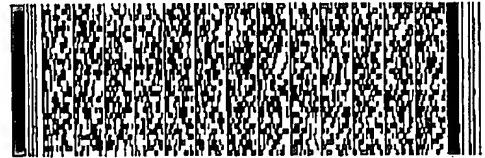
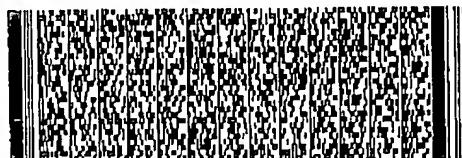
 以該能量感應層為罩幕，電漿蝕刻去除部分該金屬間介電層而形成一第二溝槽與一第三溝槽於該金屬間介電層中，其中該第二溝槽與該介層窗有重疊，該第三溝槽與該第一溝槽有重疊；

 氧電漿灰化去除該圖案化罩幕層、該犧牲材料與該能量感應層；

 電漿蝕刻去除位在該介層窗與該第一溝槽底部之該蝕刻停止層；以及

 填入銅金屬於該介層窗、該第二溝槽、該第一溝槽與該第三溝槽，而形成一銅插塞、一銅連線與一銅密封環。

17. 如申請專利範圍第14項所述之避免蝕刻停止層被



六、申請專利範圍

溝槽(trench)穿越位在該密封環區的該金屬間介電層；填入一犧牲材料於該溝槽中；以及對該基底進行一平坦化程序而得到之一平坦表面，以利後續製程之進行。

15. 如申請專利範圍第14項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，在形成該圖案化罩幕層於位在該主動區的該金屬間介電層上並填滿該介層窗之後，更包括下列步驟：

 氧電漿灰化去除部分該圖案化罩幕層而露出該金屬間介電層表面，並使該介層窗中有殘留的該圖案化罩幕層。

16. 如申請專利範圍第14項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，更包括下列步驟：

 形成一能量感應層於部分該金屬間介電層上；

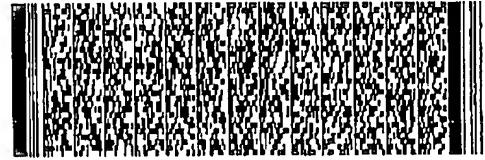
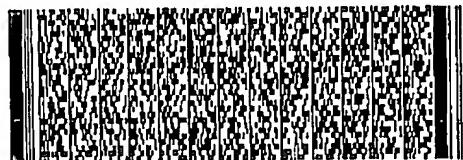
 以該能量感應層為罩幕，電漿蝕刻去除部分該金屬間介電層而形成一第二溝槽與一第三溝槽於該金屬間介電層中，其中該第二溝槽與該介層窗有重疊，該第三溝槽與該第一溝槽有重疊；

 氧電漿灰化去除該圖案化罩幕層、該犧牲材料與該能量感應層；

 電漿蝕刻去除位在該介層窗與該第一溝槽底部之該蝕刻停止層；以及

 填入銅金屬於該介層窗、該第二溝槽、該第一溝槽與該第三溝槽，而形成一銅插塞、一銅連線與一銅密封環。

17. 如申請專利範圍第14項所述之避免蝕刻停止層被



六、申請專利範圍

27. 如申請專利範圍第21項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中該圖案化罩幕層、該犧牲材料與該能量感應層係由光阻所組成。

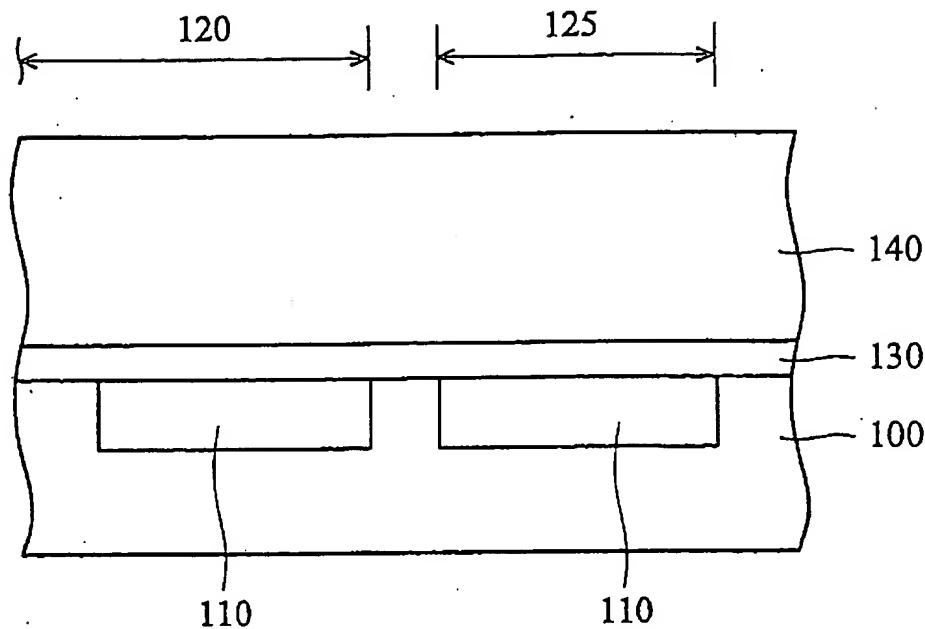
28. 如申請專利範圍第27項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除該圖案化罩幕層係採用氧電漿灰化製程。

29. 如申請專利範圍第27項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除該犧牲材料係採用氧電漿灰化製程。

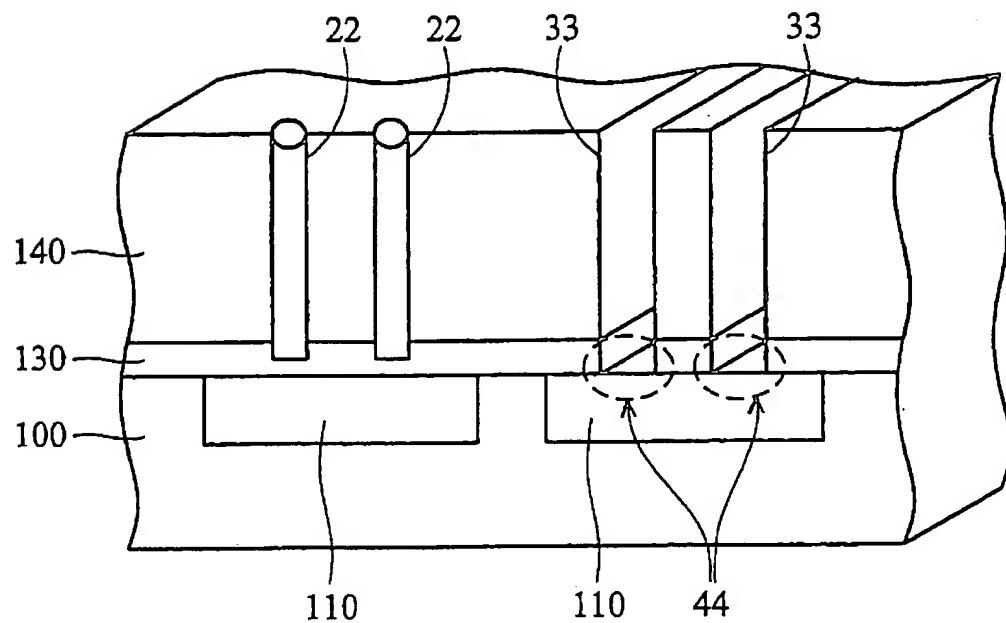
30. 如申請專利範圍第27項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除該能量感應層係採用氧電漿灰化製程。

31. 如申請專利範圍第21項所述之避免蝕刻停止層被蝕穿的鑲嵌製程，其中去除位在該介層窗與該第一溝槽底部之該蝕刻停止層係採用電漿蝕刻製程。

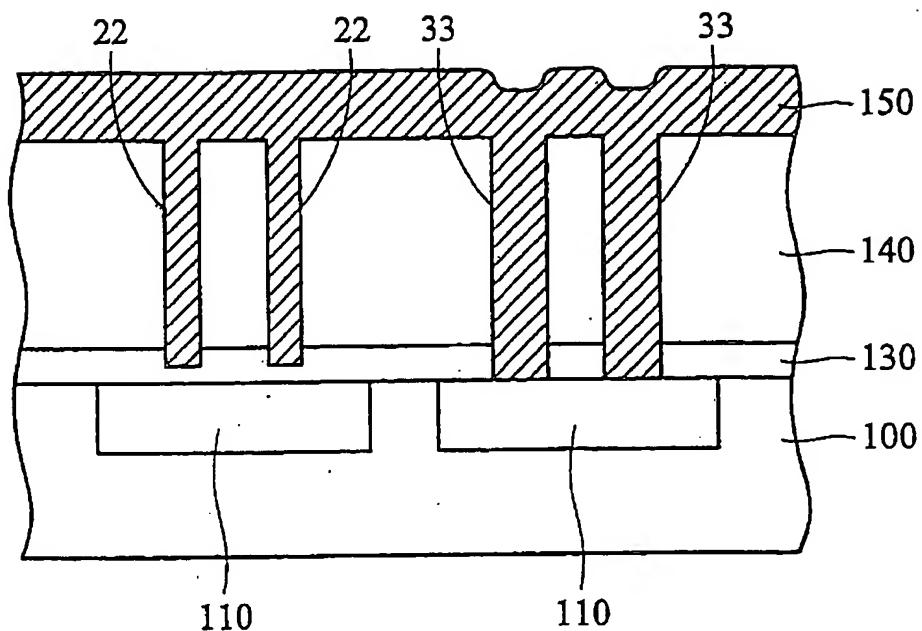




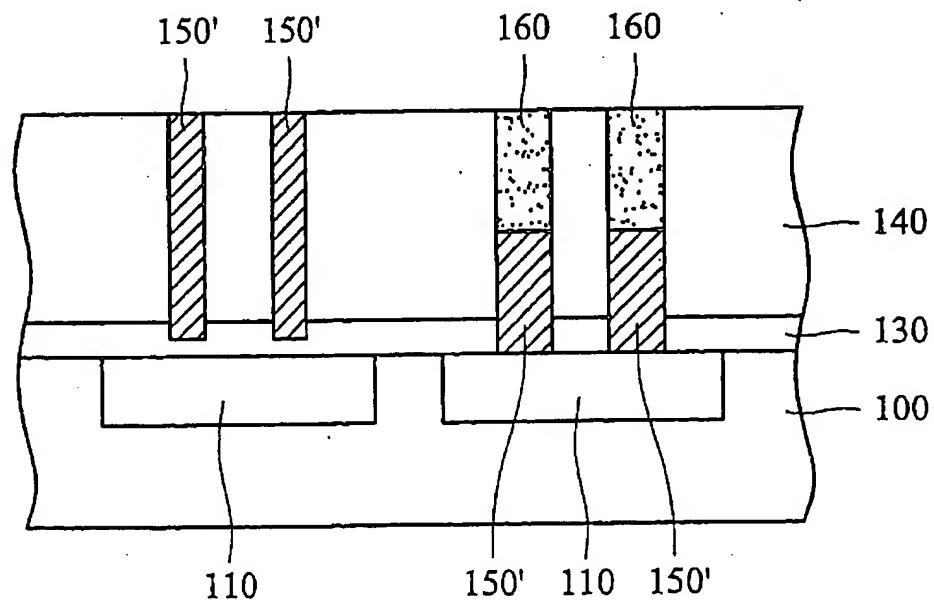
第1A圖



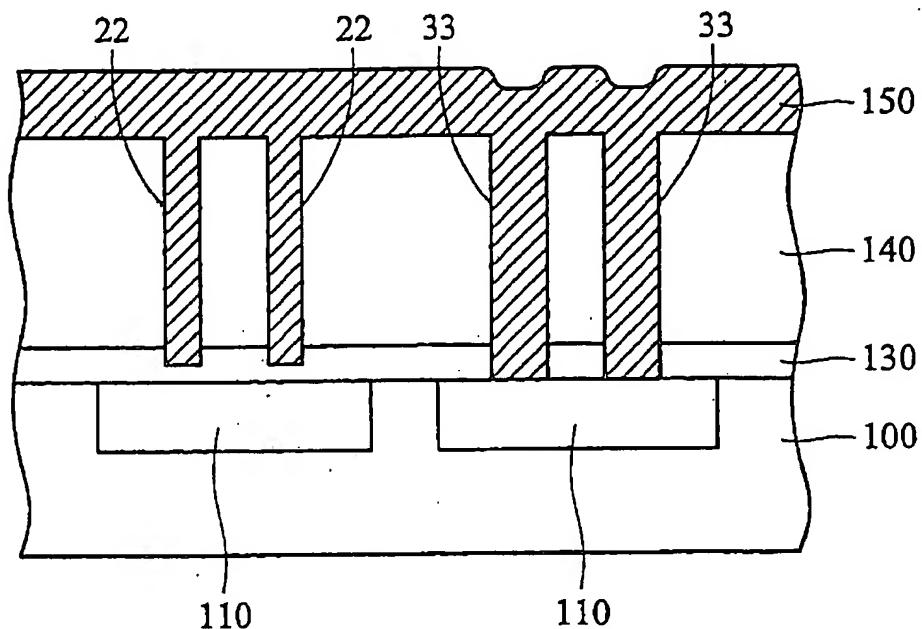
第1B圖



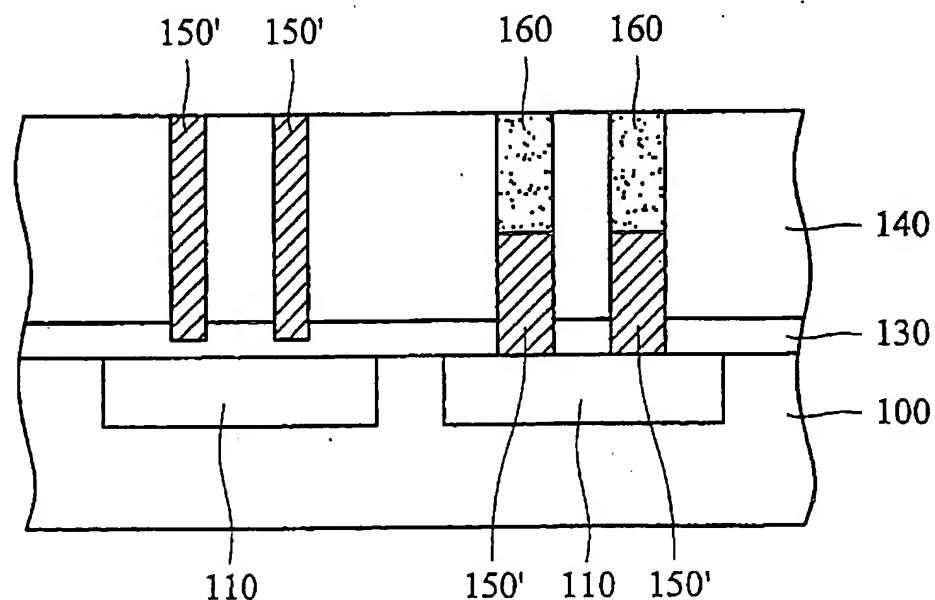
第1C圖



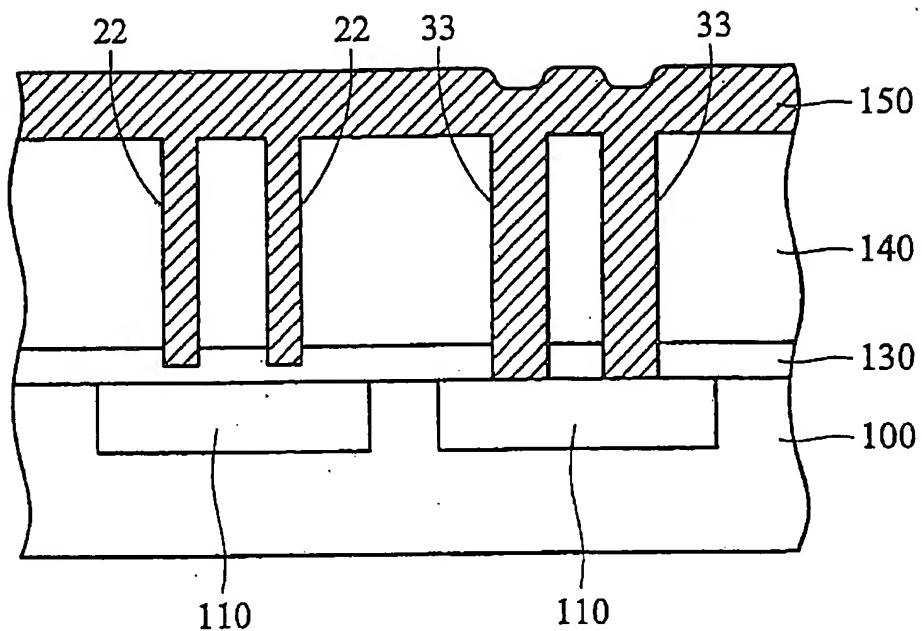
第1D圖



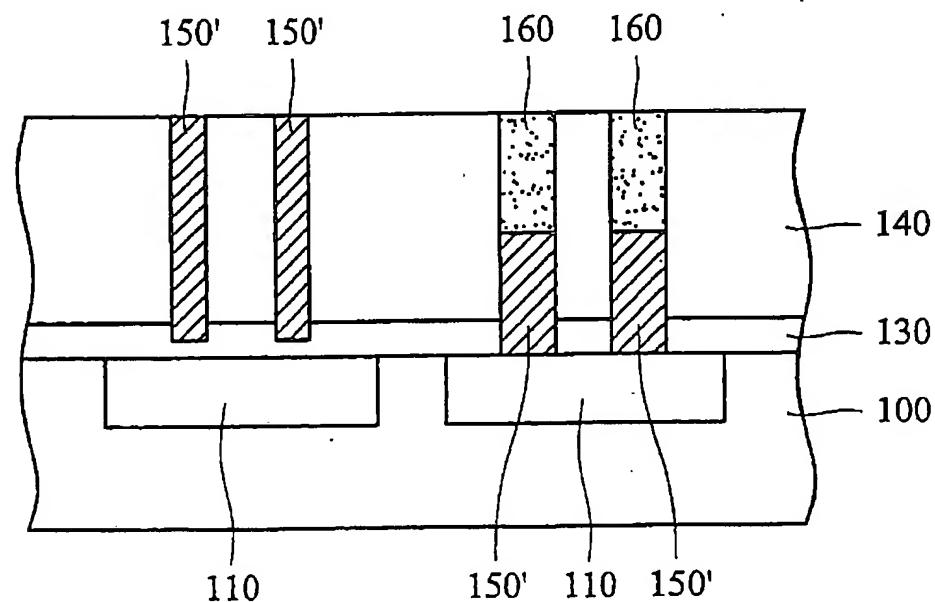
第1C圖



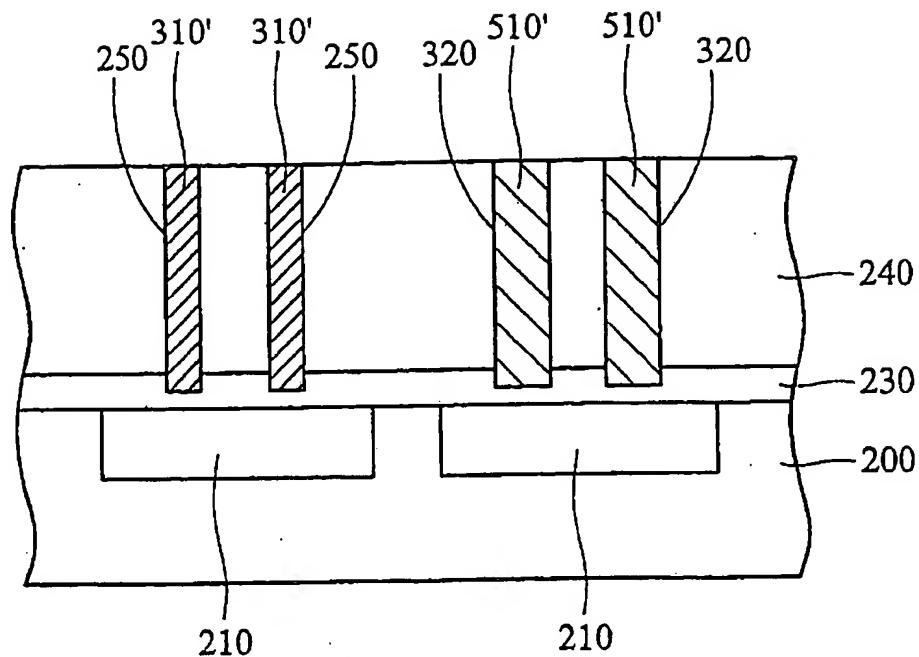
第1D圖



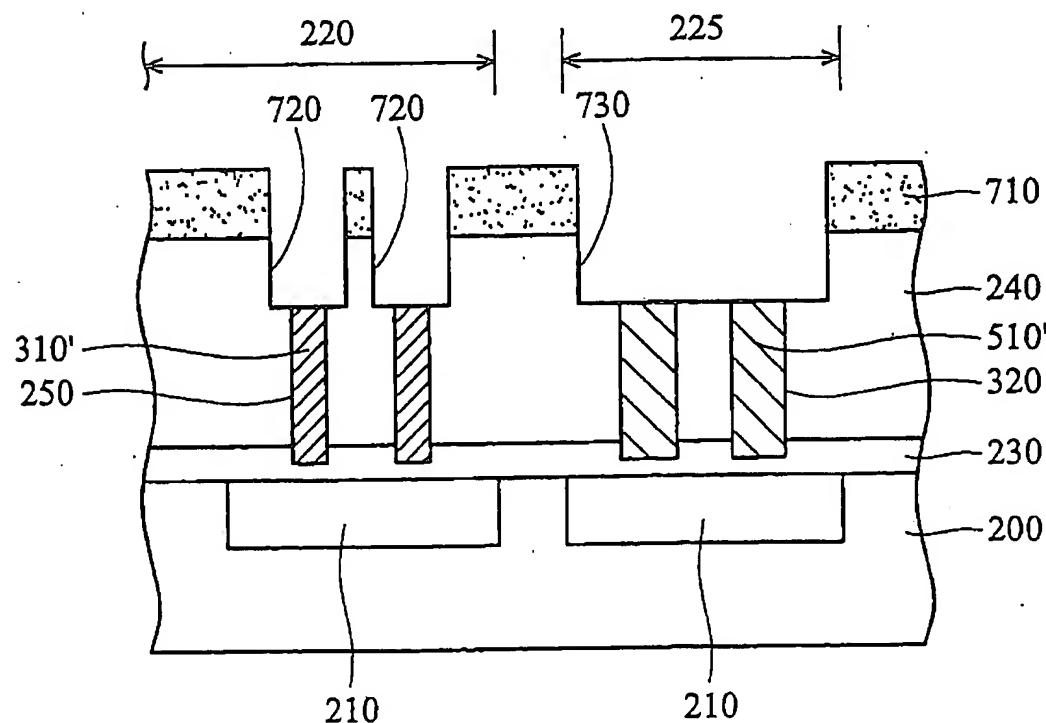
第1C圖



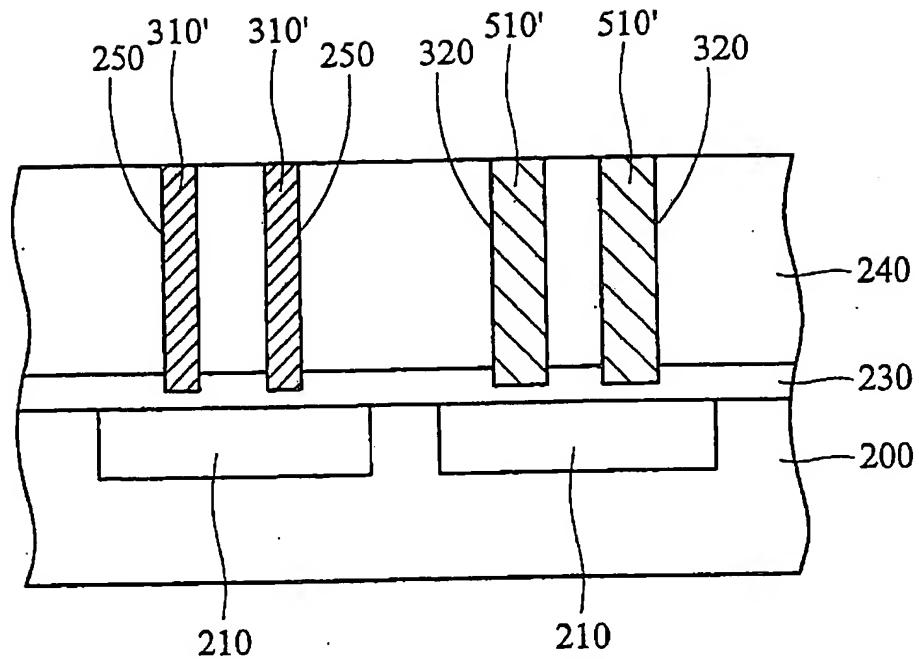
第1D圖



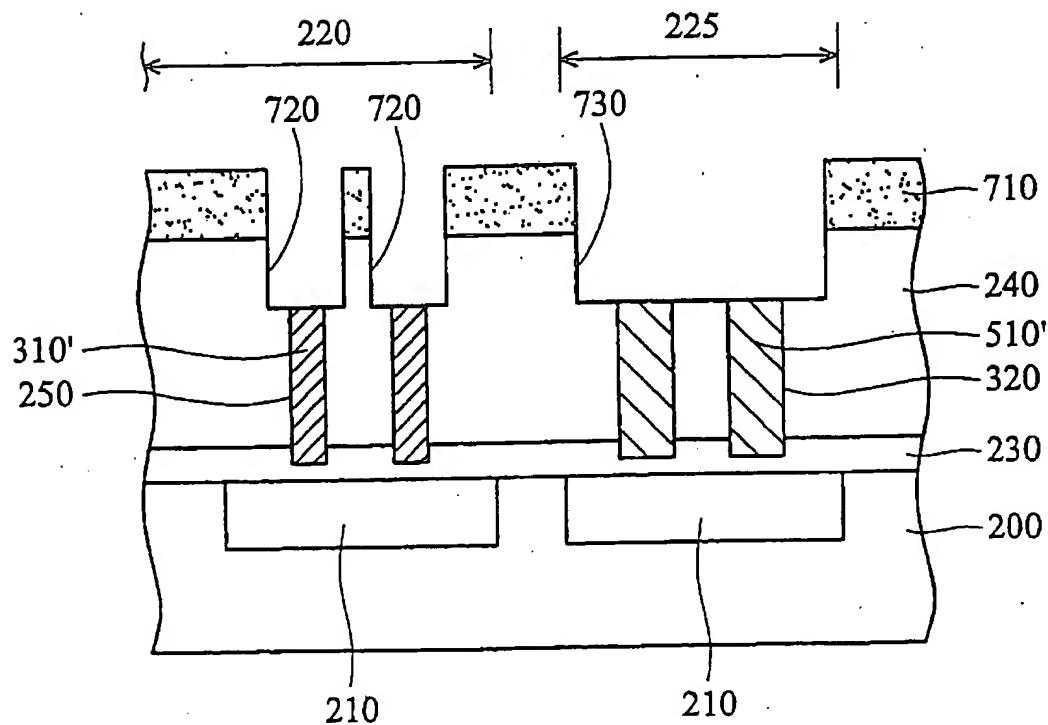
第 6 圖



第 7 圖



第 6 圖



第 7 圖

This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.